

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61276265
PUBLICATION DATE : 06-12-86

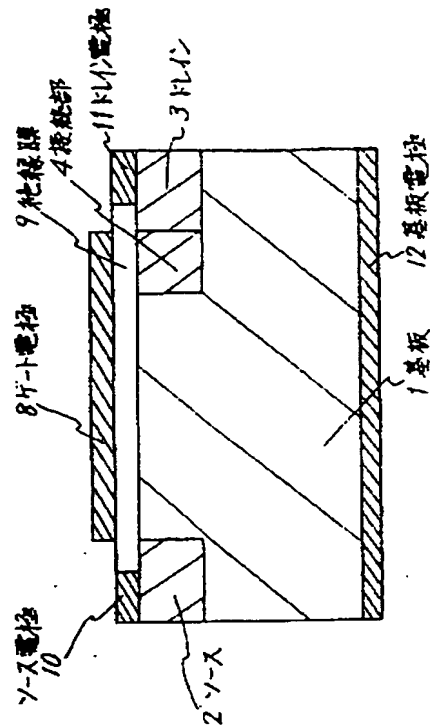
APPLICATION DATE : 30-05-85
APPLICATION NUMBER : 60117121

APPLICANT : NEC CORP;

INVENTOR : KUMASHIRO SHIGETAKA;

INT.CL. : H01L 29/78

TITLE : INSULATED GATE TYPE
FIELD-EFFECT TRANSISTOR



ABSTRACT : PURPOSE: To inhibit the generation of impact ionization of an insulated gate type field-effect transistor and the generation of a parasitic bipolar effect with the generation of the impact ionization by constituting a section between a source and a drain and a section between a drain and a substrate by a semiconductor having predetermined forbidden band width and electron affinity.

CONSTITUTION: A P-type semiconductor is used as a substrate 1 while a semiconductor having forbidden band width smaller than the substrate 1 and electron affinity larger than the substrate is employed as a source 2 and a semiconductor having forbidden band width larger than the substrate 1 and electron affinity smaller than the substrate is used as a drain 3, and high-concentration N-type regions are constituted. On the other hand, a region 4 connecting the substrate 1 and the drain 3 is composed of a semiconductor, forbidden band width of which changes continuously and monotonously. The combination of substances such as $\text{Ga}_{0.28}\text{In}_{0.72}\text{P}_{0.4}\text{As}_{0.6}$ as the substrate 1, substances such as $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ as the source 2 section, substances such as InP as the drain 3 section and substances such as $\text{Ga}_x\text{In}_{1-x}\text{P}_y\text{As}_{1-y}$ ($0 \leq x \leq 0.28, 0 \leq y \leq 0.4, y = 1.429x$) is possible as said each semiconductor, and these semiconductors are formed through a method such as a selective epitaxial growth method.

COPYRIGHT: (C)1986,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-276265

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)12月6日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 絶縁ゲート型電界効果トランジスタ

⑮ 特 願 昭60-117121

⑯ 出 願 昭60(1985)5月30日

⑰ 発 明 者 熊 代 成 孝 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

絶縁ゲート型電界効果トランジスタ

2. 特許請求の範囲

1. 一の半導体からなる基板に、この半導体よりも禁制帯幅が小さくかつ電子親和力の大きい半導体でソースを形成し、また前記一の半導体よりも禁制帯幅が大きくかつ電子親和力の小さい半導体でドレインを形成し、更に基板とドレインとを禁制帯幅が連続かつ単調に変化する半導体で接続したことを特徴とする絶縁ゲート型電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は絶縁ゲート型電界効果トランジスタに関し、特に衝突電離の発生およびそれに伴う寄生バイポーラ効果の発生を抑止した絶縁ゲート型

電界効果トランジスタに関する。

〔従来の技術〕

絶縁ゲート型電界効果トランジスタは、シリコン等の半導体基板上に基板又はウェルと逆の導電型不純物を導入してソース・ドレインの領域を形成する一方、基板の主面上に絶縁膜を形成しこの上にゲート電極を形成した構成となっている。したがって、この種のトランジスタではソース・ドレイン領域は必然的に基板と同一の半導体で構成されることになる。

〔発明が解決しようとする問題点〕

上述したように、これまでの絶縁ゲート型電界効果トランジスタはソース・ドレイン領域を基板と同一の半導体で構成することが当然のこととして考えられてきているが、このトランジスタは高いドレイン電圧を印加するとドレイン基板接合空乏層内で衝突電離を生じ、電子正孔対を発生せしめ、この発生キャリアによって基板内部の電位が上昇し、ソース・基板接合が順バイアスされて寄生バイポーラ降伏を生じさせるという問題がある。

この現象は例えば、S. M. Sze 著、John Wiley & Son社出版の“Physics of Semiconductor Devices Second Edition”のP482~483に記述されている。

〔問題点を解決するための手段〕

本発明の絶縁ゲート型電界効果トランジスタは、基板よりも禁制帯幅が小さくかつ電子親和力の大きな半導体でソース部を構成し、逆に禁制帯幅が大きくかつ電子親和力の小さな半導体でドレイン部を構成し、更に基板とドレイン部とを禁制帯幅が連続かつ単調に変化する半導体で構成したものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を模式的に示す縦断面図であり、1は半導体基板、2、3は夫々ソース、ドレイン領域、4は基板1とドレイン3を接続するための領域である。そして、本例では基板1にP型半導体を用いると共に、ソース2には基板1よりも禁制帯幅が小さくかつ電子親和力の大

きい半導体を用い、またドレイン3には基板1よりも禁制帯幅が大きくかつ電子親和力の小さい半導体を用いて高濃度n型領域を構成している。一方、基板1とドレイン3を接続する領域4は禁制帯幅が連続かつ単調に変化する半導体で構成している。図中、8はゲート電極、9は絶縁膜、10、11はソース、ドレインの各電極、12は基板電極である。

前記各半導体としては、例えば基板1にGa 0.28 In 0.72 P 0.4 As 0.6、ソース2部分にGa 0.47 In 0.53 As、ドレイン3部分にInP、ドレイン・基板間接続部分4に $Gax In_{1-x} PyAs_{1-y}$ ($0 \leq x \leq 0.28$, $0 \leq y \leq 0.4$, $y=1.429x$)の組合せが考えられ、これらは例えば選択エピタキシャル成長法によって形成される。勿論三〜四元混晶を組合せれば他の構成も考えられる。

第2図は前記第1図の半導体装置の絶縁膜基板界面にそった線上におけるドレイン電圧印加時のエネルギー帯構造図である。図において、 B_1 は基板1のバンド構造を示し、以下同様に B_2 はソー

ス2のバンド構造、 B_3 はドレイン3のバンド構造、 B_4 はドレイン3と基板1の接続部分4のバンド構造を示す。また、 D_1 はソース・基板間空乏層を、 D_2 は中電界ドリフト領域を、 D_3 はドレイン・基板間空乏層を夫々示している。更に、 E_{gs} 、 E_{gd} 、 $E_{gsd}(x)$ は夫々基板1、ソース2、ドレイン3、基板・ドレイン接続部4の各半導体の禁制帯幅を示し、特に $E_{gsd}(x)$ は位置 x によって連続的に変化する。

これから判るように、ゲート電極8に正の電圧が印加されるとソース・基板間空乏層 D_1 に障壁電位が低減し、拡散によってソース2から基板1に電子が注入される。この電子はソース・ドレイン間の横方向電界により中電界ドリフト領域 D_2 をドレイン側に向かって移動する。そして、電子がドレイン・基板間空乏層 D_3 に到達すると、同部分の高い電界により急激に加速されてドレイン3に到達する。このとき、ゲート電圧、ドレイン電圧を変化させるとソース・基板間空乏層 D_1 にかかる障壁電位および中電界ドリフト領域 D_2 のエネルギー帯の傾きが変化し、ソース・ドレイン間の電流が変化する。

第3図(A)、(B)は夫々基板1の半導体と、ドレイン3の半導体とを接触させる前(同図(A))と接触させた後(同図(B))のエネルギー帯構造を示す。図において、 X_s 、 X_d は夫々基板、ドレインの各半導体の電子親和力、以下同様に E_{cs} 、 E_{cd} は伝導帯下端、 E_{fs} 、 E_{fd} はフェルミ単位、 E_{gs} 、 E_{gd} は禁制帯幅、 E_{vs} 、 E_{vd} は価電子帯上端を示す。また、 E_r は基板1とドレイン3を接触させた場合のフェルミ単位、 Δx は基板1にもドレイン3と同じ半導体を用いた場合における接触電位の差である。更に、同図中Aは基板1にドレイン3と同じ半導体を用いたときの伝導体下端、Bは本発明における異なる半導体を用いたときの伝導体下端である。

これらの図から判るように、基板とドレインで形成されるPN接合両端で電子が感じる障壁電位は、これまでのAよりも Δx だけ小さくなっている。この状況はPn接合の両端に電圧を印加した

場合も全く同じであり、特に逆バイアスを印加した場合には Δx の寄与の分だけ内部電圧が低下することになる。これに対し、本発明のように基板とドレインとを禁制帯幅が連続かつ単調に変化する半導体で接続した場合には、同図におけるBのように伝導帯下端の段差が生じないため、電子が空乏層中を運動する際に Δx だけ障壁電位が減少する効果が徐々に加わり、電子が移動し易くなる効果をもたらす。 Δx の値は近似的に次式で与えられる。

$$\Delta x = E_{gs} - E_{ps}$$

一方、電子が高電界を受けて加速され衝突電離を生ずるには電子が所要のしきい値エネルギー以上のエネルギーを持たねばならないが、このしきい値エネルギーと禁制帯幅は正の相関関係があり、一般に禁制帯幅が大きい程衝突電離は生じにくく、また電界が低い程衝突電離は生じにくい。したがって、前述した本発明の構成を用いれば、ドレイン側で禁制帯幅が大きくなり、ドレインと同じ半導体を基板に用いた場合よりもドレイン・基板接合

内の電界が減少して衝突電離が生じにくくなる。

次にソース2の半導体に基板1よりも禁制帯幅が小さく、かつ電気親和力の大きいものを使用することが寄生バイポーラ効果の抑制に有効であることを説明する。

第2図の場合、衝突電離で生じた正孔は発生量が多いときには、基板1のB、部分のソース側に蓄積し始め、ソース・基板接合を順バイアスの方向へ向ける。ここで、ソース・基板接合の電子電流と正孔電流の比は次式で与えられる。

$$r = \frac{D_n L_p N_B (m_{ps} m_{ns})^{1/2}}{D_p L_n P_B (m_{ps} m_{ns})^{1/2}} e \times P \left(\frac{E_{gs} - E_{ps}}{RT} \right)$$

但し、 D_n :基板半導体中の電子拡散係数

D_p :ソース部分の半導体中の正孔拡散係数

L_n :基板半導体中の電子拡散長

L_p :ソース部分の半導体中の正孔拡散長

P_B :基板半導体中の熱平衡時正孔濃度

N_B :ソース部分の半導体中の熱平衡時電

子濃度

m_{ps} :基板半導体中の正孔の有効質量

m_{ns} :基板半導体中の電子の有効質量

m_{ps} :ソース部分の半導体中の正孔の有効質量

m_{ns} :ソース部分の半導体中の電子の有効質量

R :ボルツマン定数

T :温度

r の値を決定する主要なパラメータは N_B 、 P_B 、 $E_{gs} - E_{ps}$ であり、 N_B 、 P_B を与えられたものとすると、 r の値は $E_{gs} - E_{ps}$ でほぼ決定される。前述した本発明の構成の場合、 $E_{gs} - E_{ps} < 0$ であるので $r < 1$ である。したがって、たとえソース・基板間の P_n 接合が順バイアスされても流れる電流の殆んどは正孔電流であり、電子は殆んど基板へ注入されない。これにより、導電率変調や注入された電子による衝突電離の増加が抑えられ、寄生バイポーラ効果によるブレイクダウンが生じにくくなる。

なお、前例ではnチャネル表面伝導型の例について述べたが、本発明はPチャネル型やバルク伝導型の絶縁ゲート型トランジスタにも同様に適用できる。また、半導体の部分を等価なエネルギー準位差を有する超格子又は歪超格子を単層づつ横方向に積層した構造で置き換えることもできる。

〔発明の効果〕

以上説明したように本発明は、基板に用いる半導体よりも禁制帯幅が小さく、かつ電子親和力の大きい半導体でソースを構成し、逆に禁制帯幅が大きくかつ電子親和力の小さな半導体でドレインを構成し、更にドレインと基板との間を禁制帯幅が連続かつ単調に変化する半導体で構成しているので、絶縁ゲート型電界効果トランジスタの衝突電離の発生およびこれに伴う寄生バイポーラ効果の発生を抑制する効果がある。

4. 図面の簡単な説明

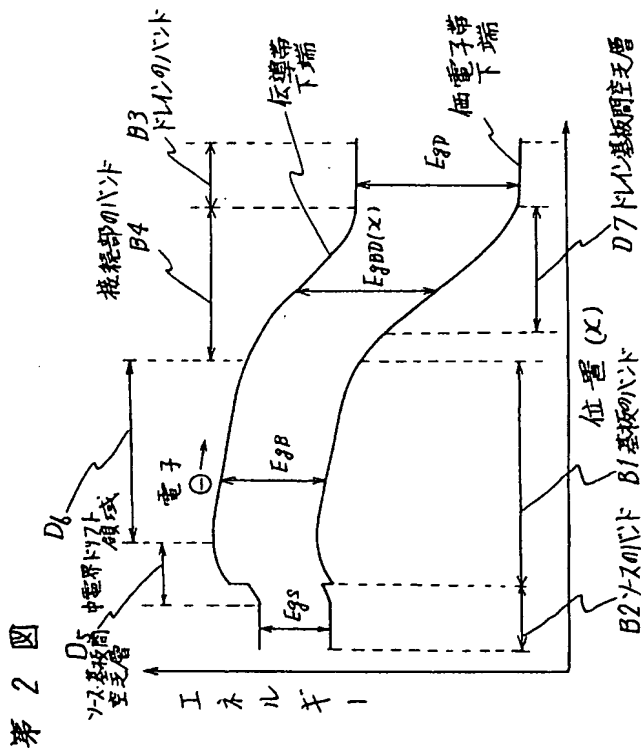
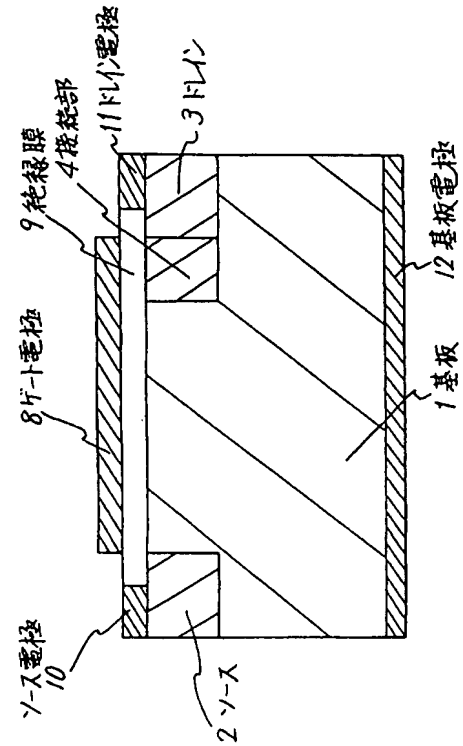
第1図は本発明の一実施例を模式的に示す縦断面図、第2図は第1図のトランジスタの絶縁膜基

板界面にそった線上におけるドレイン電圧印加時のエネルギー帯構造図、第3図(A)、(B)は夫々基板半導体とドレイン半導体とを接触させる前と接触後の各エネルギー帯構造図である。

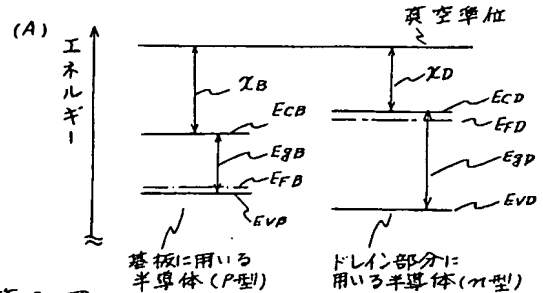
1……基板、2……ソース、3……ドレイン、
4……基板・ドレイン接続部、8……ゲート電極、
9……絶縁膜、10……ソース電極、11……ドレイン電極。

代理人 弁理士 内 原 晋

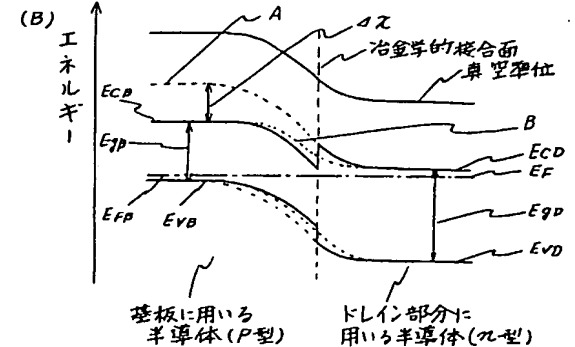
第1図



第3図



第3図



A: 基板にドレイン部分と同じ半導体を用いた場合の伝導帯下端
B: 基板とドレインを禁制帯幅が単調かつ連続的に変化する半導体で接続した場合の伝導帯下端